

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Taizo TOMIOKA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: OPTICALLY COUPLED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING
THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-191201	June 28, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

0350722

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 6月28日

出願番号

Application Number: 特願2002-191201

[ST.10/C]:

[JP2002-191201]

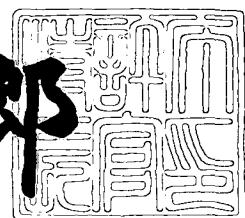
出願人

Applicant(s): 株式会社東芝

2003年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040817

【書類名】 特許願

【整理番号】 A000203278

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 光結合半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝
生産技術センター内

【氏名】 富岡 泰造

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝
生産技術センター内

【氏名】 森 郁夫

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝
生産技術センター内

【氏名】 伊藤 健志

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝
生産技術センター内

【氏名】 末松 瞳

【発明者】

【住所又は居所】 東京都青梅市新町3丁目3番地の1 東芝デジタルメデ
ィアエンジニアリング株式会社内

【氏名】 斎藤 康人

【発明者】

【住所又は居所】 東京都青梅市新町3丁目3番地の1 東芝デジタルメデ

イアエンジニアリング株式会社内

【氏名】 荒川 雅之

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光結合半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1の層と、この第1の層に積層される棒状の第2及び第3の層とによって構成された配線基板と、

前記第1の層の上面部に設けられ、前記第2の層の内部空間内に位置する発光素子と、

前記第2の層の上面部にその内部空間を跨いで実装され、前記発光素子に対向する受光素子と、

この受光素子に隣接し、前記第2の層の上面部にその内部空間を跨いで実装されるスイッチング素子と

を具備することを特徴とする光結合半導体装置。

【請求項2】 前記発光素子はワイヤボンディングにより実装され、前記受光素子及びスイッチング素子はフリップチップボンディングにより実装されることを特徴とする請求項1記載の光結合半導体装置。

【請求項3】 前記第2の層の内部空間は、前記発光素子のワイヤボンディングの長手方向に沿って長い略長方形状をなすことを特徴とする請求項1記載の光結合半導体装置。

【請求項4】 前記第2の層の内部空間内及び前記第3の層の内部空間内的一部に透光性樹脂が充填され、前記第3の層の内部空間内に遮光性樹脂が充填されたことを特徴とする請求項1記載の光結合半導体装置。

【請求項5】 前記受光素子及びスイッチング素子は前記第3の層の表面よりも低位に配置されたことを特徴とする請求項1記載の光結合半導体装置。

【請求項6】 前記第1の層は上面部に前記発光素子が接続される電極を有するとともに下面部に外部電極を有し、

前記第2の層は上面部に前記受光素子及びスイッチング素子が接続される電極を有し、

前記第1及び第2の層の外周面には横断面円弧状のスルーホールが形成され、前記第1及び第2の層の電極は前記スルーホールを介して外部電極に接続され

ることを特徴とする請求項1記載の光結合半導体装置。

【請求項7】 前記第1の層は上面部に前記発光素子が接続される電極を有するとともに下面部に外部電極を有し、

前記第2の層は上面部に前記受光素子及びスイッチング素子が接続される電極を有し、

前記第1及び第2の層の枠部には貫通孔が形成され、

前記第1及び第2の層の電極は前記貫通孔を介して前記外部電極に接続されることを特徴とする請求項1記載の光結合半導体装置。

【請求項8】

第1の層と、この第1の層に積層される枠状の第2及び第3の層とによって構成され、予め分割溝が形成された多層配線基板の前記第2の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、

このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、

前記第2の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、

前記第3の層の内部空間及び前記第2の層の内部空間の一部に透光性樹脂を充填する第1の充填工程と、

前記第2の層の内部空間内に遮光性樹脂を充填する第2の充填工程と、

この充填工程後、前記多層配線基板を分割する分割工程と

を具備することを特徴とする光結合半導体装置の製造方法。

【請求項9】 第1の層と、この第1の層に積層される枠状の第2及び第3の層とによって構成された多層配線基板の前記第2の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、

このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、

前記第2の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、

前記第3の層の内部空間及び前記第2の層の内部空間の一部に透光性樹脂を充

填する第1の充填工程と、

前記第2の層の内部空間内に遮光性樹脂を充填する第2の充填工程と、この充填工程後、前記多層配線基板をダイシングで分割する分割工程とを具備することを特徴とする光結合半導体装置の製造方法。

【請求項10】 前記フリップチップボンディング工程において、前記受光素子およびスイチング素子の電極上にそれぞれ金パンプを形成し、これを基板の電極へ超音波接合したことを特徴とする請求項8又は請求項9記載の光結合半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テスターなどの計測器に適用される光結合半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、テスターなどの計測器では、信頼性の向上を目的として光結合半導体装置などの無接点リレーを用いる場合が増加している。テスターでは機器内に数千個の光結合半導体装置を用いる場合があり、テスターの小型化のため光結合半導体装置の小型化が強く要望されている。このような市場背景から、様々な光結合半導体装置が発明されている。

【0003】

この光結合半導体装置としては、例えば、特開平11-63705に開示されるものが知られている。この光結合半導体装置は図7に示すように配線基板23を有し、この配線基板23には凹部24と図示しない配線パターンとが形成されている。配線基板23の凹部24の底面には発光素子25がダイボンディングされ、金ワイヤ26でワイヤボンディングされている。

【0004】

また、凹部24の上面開口を覆い発光素子25と対向する状態で受光素子29が配置され、パンプ34を介して配線基板23にフリップチップボンディングさ

れている。

【0005】

配線基板23の受光素子29が実装された面と同一面上にはスイッチング素子27がバンプ28を介してフリップチップボンディングされている。受光素子29とスイッチング素子27とは基板23上の図示しない配線パターンにより電気的に接続される。

【0006】

発光素子25と受光素子29の間には透光性樹脂30が充填され、配線基板23側の受光素子29とスイッチング素子27はそれぞれ遮光性樹脂31により封止されている。

【0007】

この光結合半導体装置においては、受光素子29とスイッチング素子27とをフリップチップボンディングで実装することでワイヤボンディングのためのパッドを形成する必要が無くなり、光結合半導体装置を小型化することができる。

【0008】

なお、この場合のスイッチング素子27にはゲート、ソース、ドレイン電極がチップの同一平面上に存在するLateral Double Diffused MOSFETを用いる必要がある。チップ裏面にドレイン電極が形成されているスイッチング素子を用いる場合には、図8に示す如くワイヤボンディングで実装することになる。

【0009】

【発明が解決しようと課題】

しかしながら、従来においては、以下に述べるような問題点があった。

【0010】

まず、配線基板23の凹部24に発光素子25をダイボンディングしてワイヤボンディングする場合、ワイヤボンダのキャピラリが配線基板23に干渉しないように凹部24のサイズを大きく設定することになる。このため、凹部24を覆う受光素子29が必要以上に大きくなってしまう。

【0011】

なお、先端を極端に細くしたキャピラリを用いることにより凹部24のサイズ

を小さくすることが考えられるが、この場合にはキャピラリの耐久性、超音波振動特性が劣化し、生産性が著しく劣化する。

【0012】

また、配線基板23には凹部24以外にスイッチング素子27を実装する基板面積を別途特別に必要とするため、光結合半導体装置のさらなる小型化が困難なものとなっていた。

【0013】

本発明は上記事情に着目してなされたもので、その目的とするところは、光結合半導体装置を小型化するのに好適な光結合半導体装置の構造及びその製造方法を提供しようとするものである。

【0014】

【課題を解決するための手段】

上記課題を解決するため、請求項1に記載された発明は、第1の層と、この第1の層に積層される棒状の第2及び第3の層とによって構成された配線基板と、前記第1の層の上面部に設けられ、前記第2の層の内部空間内に位置する発光素子と、前記第2の層の上面部にその内部空間を跨いで実装され、前記発光素子に対向する受光素子と、この受光素子に隣接し、前記第2の層の上面部にその内部空間を跨いで実装されるスイッチング素子とを具備する。

【0015】

請求項8に記載の発明は、第1の層と、この第1の層に積層される棒状の第2及び第3の層とによって構成され、予め分割溝が形成された多層配線基板の前記第2の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、前記第2の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、前記第3の層の内部空間及び前記第2の層の内部空間の一部に透光性樹脂を充填する第1の充填工程と、前記第2の層の内部空間内に遮光性樹脂を充填する第2の充填工程と、この充填工程後、前記多層配線基板を分割する分割工程とを具備する。

【0016】

請求項9記載の発明は、第1の層と、この第1の層に積層される枠状の第2及び第3の層とによって構成された多層配線基板の前記第2の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、前記第2の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、前記第3の層の内部空間及び前記第2の層の内部空間の一部に透光性樹脂を充填する第1の充填工程と、前記第2の層の内部空間内に遮光性樹脂を充填する第2の充填工程と、この充填工程後、前記多層配線基板をダイシングで分割する分割工程とを具備する。

【0017】

【発明の実施の形態】

以下、本発明を図面に示す実施の形態を参照して詳細に説明する。

図1は本発明の一実施の形態である光結合半導体装置の構造を示すものである。

【0018】

この半導体装置は配線基板1を備えている。この配線基板1は第1の層2上に第2及び第3の層3，4を順次積層してなるアルミナセラミック製の多層配線基板である。第1の層2の上面部には電極8が配設されている。この電極8はタンゲステンで成形され、その上面部にはニッケルメッキと金メッキとが施されている。第2の層3及び第3の層4は枠状に形成され、その内側には配線基板1の中央部に位置する内部空間3a，4aが構成されている。配線基板1の外形寸法は幅2.0mm、奥行き2.0mm、高さ1.7mmである。

【0019】

第1の層2の上面には発光ダイオード(LED)等の発光素子6が設けられ、この発光素子6は第2の層3の内部空間3a内に位置されている。また、第2の層3の上面には内部空間3aを跨ぐように受光素子11及びスイッチング素子12が配設され、これら受光素子11及びスイッチング素子12は第3の層4の内部空間4a内に位置されている。発光素子6は第1の層2上に設けられたマウント電極5にボンディングされ、さらに金ワイヤ7を介して電極8と電気的に接続

されている。

【0020】

第2の層3の内部空間3aの寸法は幅1.4mm、奥行き0.7mm、深さ0.6mmで、発光素子6にワイヤボンディングを行う際にワイヤボンダのキャピラリと多層配線基板1が干渉するがないような大きさとなっている。

【0021】

第1の層2の一側面には横断面半円弧状のスルーホール9が垂直方向に沿って形成され、第1の層2の底面一側部には外部接続電極16が設けられている。上記のマウント電極5はスルーホール9を介して外部接続電極16と電気的に接続され、もう一方の電極8も同様に図示しないスルーホールを介して図示しない外部接続電極と電気的に接続されている。なお、スルーホール9には電極5, 8と同様にニッケルメッキと金メッキが施されている。

【0022】

第2の層3の上面部には電極10が配設され、受光素子11はバンプ32を介して電極10にフリップチップボンディングされている。受光素子11は発光素子6と対向する位置に設けられている。スイッチング素子12は受光素子11と並ぶように配置され、電極10にバンプを介してフリップチップボンディングされている。

【0023】

スイッチング素子12は同一面上にゲート電極、ソース電極、ドレイン電極が形成された構成となっている。第1及び第2の層2, 3の他側面には図2に示すように垂直方向に沿って横断面半円弧状のスルーホール15a, 15bが形成されている。第1の層2の底面他側部には外部接続電極17が設けられている。スイッチング素子12のドレイン電極が接続された電極10はスルーホール15を介して外部接続電極17に電気的に接続されている。スイッチング素子12のゲート電極、ソース電極は第2の層3の電極10を介して受光素子11のアノード電極、カソード電極へ電気的に接続されている。

【0024】

第2の層3の内部空間3a及び第3の層4の内部空間4aの一部には透光性の

シリコーン樹脂13が充填されている。さらに第3の層4の内部空間4aには受光素子11及びスイッチング素子12を封止するように遮光性のあるエポキシ樹脂14が充填されている。

【0025】

上記した構成において、発光素子6が発光すると、その光が受光素子11によって受光されて起電力が発生し、これによりスイッチング素子12がオン、オフ制御されることになる。

【0026】

次に、上記した光結合半導体装置の製造方法を図3及び図4に基づいて説明する。

【0027】

基板1は図3(a)に示すように、複数のパターンが連なってシート状になってしまい、パターンとパターンの間には分割用の溝33が形成されている。製造はこのシート状のままで行い、最後に個別の光結合半導体装置に分割する。

【0028】

まず、発光素子6を第1の層2上の電極5上に銀ペーストを用いてダイボンディングし、銀ペーストを加熱により硬化させる。ついで、図3(b)に示すように、発光素子6と電極8をワイヤボンディングにより接続する。こののち、図4(a)に示すように、金バンプを形成した受光素子11を発光素子6に対向するように予め電極10上に配置し、図示しないボンディングツールで加圧し、同時に超音波振動を印加してフリップチップボンディングする。ボンディング条件は、加圧荷重が5N、加圧時間が200ms、温度が250°Cである。超音波振動の周波数は61kHzでチップの振幅は約0.5μmとした。このボンディング条件によりバンプ当り1.2Nのせん断強度を得た。しかるのち、第2の層3の上面部に受光素子11に並んで隣接し、かつ第2の層3の内部空間3aを跨ぐ状態でスイッチング素子12をフリップチップボンディングする。ボンディングの条件は受光素子11と同様である。

【0029】

こののち、図4(b)に示すように第2の層3の内部空間3a及び第3の層4

の内部空間4aの一部に透光性のシリコーン樹脂13を注入して硬化させる。ついで、図4(c)に示すように、第3の層4の内部空間4a内に遮光性のエポキシ樹脂14を注入して受光素子11及びスイッチング素子12を封止する。そして、最後にシートを分割溝33に沿って分割し、光結合半導体装置を完成する。

【0030】

上記したように、受光素子11及びスイッチング素子12を第2の層3の内部空間3aを跨ぐように配設するため、内部空間3aを覆う受光素子11を必要以上に大型化する必要がない。また、第2の層3の内部空間3a上のスペースをスイッチング素子12の配置スペースとして利用でき、基板1の上面部に特別にスイッチング素子12の配置スペースを必要とすることがない。従って、光結合半導体装置を飛躍的に小型化できるとともに、製造性を向上できる。

【0031】

なお、上記した第1の実施の形態では、シートに分割溝33を設けて分割するようにしたが、これに限られることなく、シートをダイシングにより分割するようにもよい。

【0032】

また、上記第1の実施の形態においては、基板1の内部電極5, 8, 10と外部接続電極16, 17とをスルーホール9, 15を介して接続したが、これに限られることなく、図5に示すように第1及び第2の層2, 3の枠部内にスルーホール18, 19を垂直に穿設し、このスルーホール18, 19を介して基板1の内部電極5, 8, 10と外部接続電極16, 17とを接続するようにしても良い。

【0033】

さらに、上記第1の実施の形態においては、発光素子6をワイヤボンディングで実装したが、これに限られることなく、図6に示すように発光素子6をフリップチップボンディングで実装することも可能である。

【0034】

また、上記第1の実施の形態においては、製造工程において、受光素子11とスイッチング素子12とを多層配線基板1に実装した後に第2の層3の内部空間

3a内にシリコーン樹脂13を注入したが、これに限られることなく、順番を逆にしてシリコーン樹脂13を注入したのちに受光素子11とスイッチング素子12とを実装しても良い。

【0035】

さらに、受光素子11を実装してシリコーン樹脂13を注入した後にスイッチング素子12を実装しても良い。

【0036】

その他、本発明はその主旨の範囲内で種々変形実施可能なことは勿論である。

【0037】

【発明の効果】

以上説明したように、本発明によれば、光結合半導体装置を従来と比較して飛躍的に小型化することが可能であり、また製造性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態である光結合半導体装置の構造を示す図。

【図2】

基板の外側面部に形成されたスルーホールを示す斜視図。

【図3】

光結合半導体装置の製造工程を示す図。

【図4】

光結合半導体装置の製造工程を示す図。

【図5】

本発明の第2の実施の形態に係る光結合半導体装置の構造を示す図。

【図6】

本発明の第3の実施の形態に係る光結合半導体装置の構造を示す図。

【図7】

第1の従来例である光結合半導体装置の構造を示す図。

【図8】

第2の従来例である光結合半導体装置の構造を示す図。

【符号の説明】

1 … 多層配線基板

2 … 第1層

3 … 第2層

4 … 第3層

5 … マウント電極

6 … 発光素子

7 … 金ワイヤ

8 … 電極

9 … スルーホール

10 … 電極

11 … 受光素子

12 … スイッチング素子

13 … シリコーン樹脂（透光性樹脂）

14 … エポキシ樹脂（遮光性樹脂）

15 … スルーホール

16 … 外部接続電極

17 … 外部接続電極

18 … スルーホール

19 … スルーホール

20 … 外部接続電極

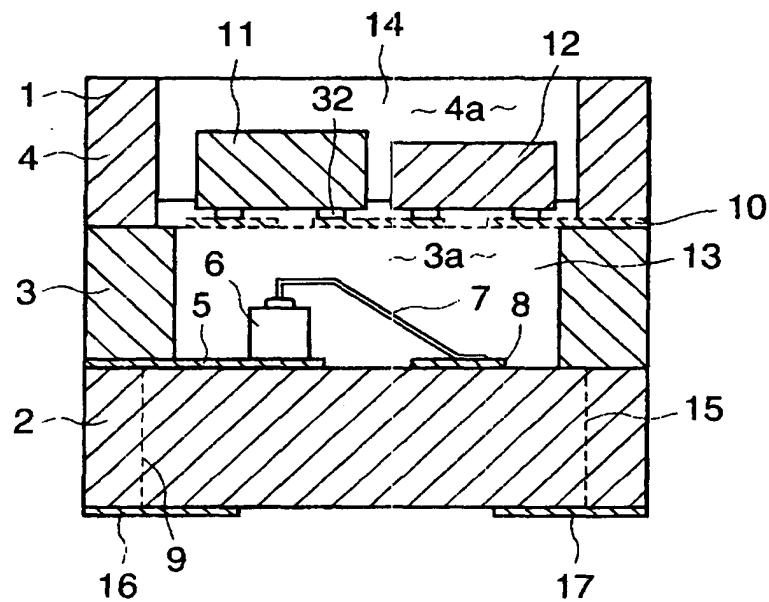
21 … 外部接続電極

22 … 発光素子

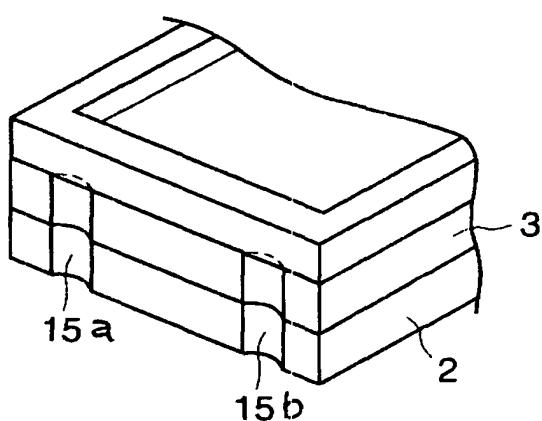
【書類名】

図面

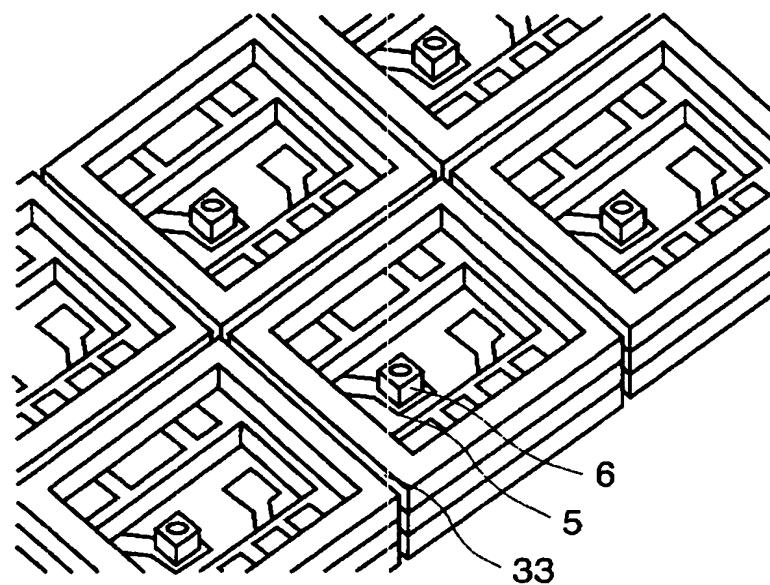
【図1】



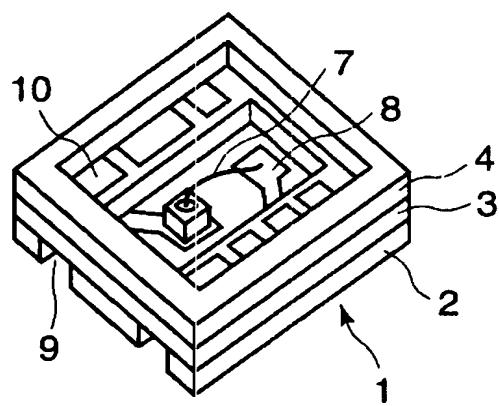
【図2】



【図3】

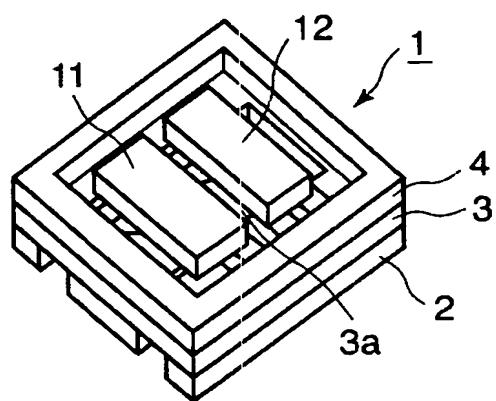


(a)

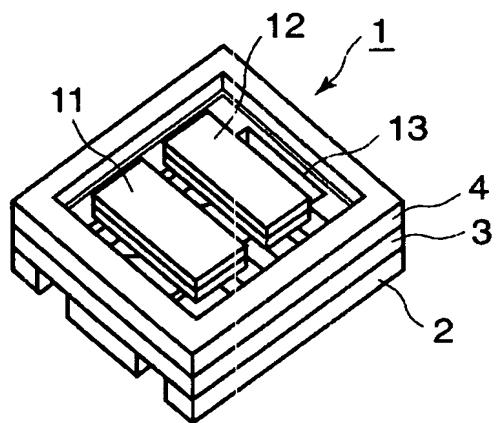


(b)

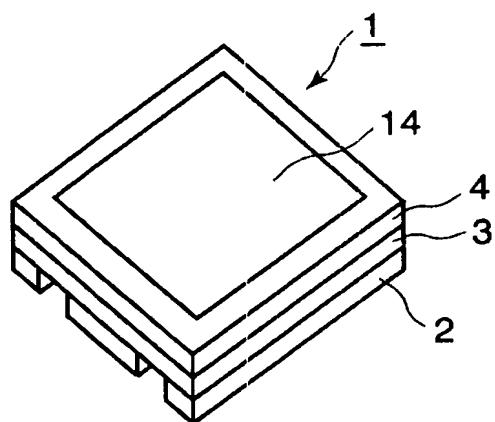
【図4】



(a)

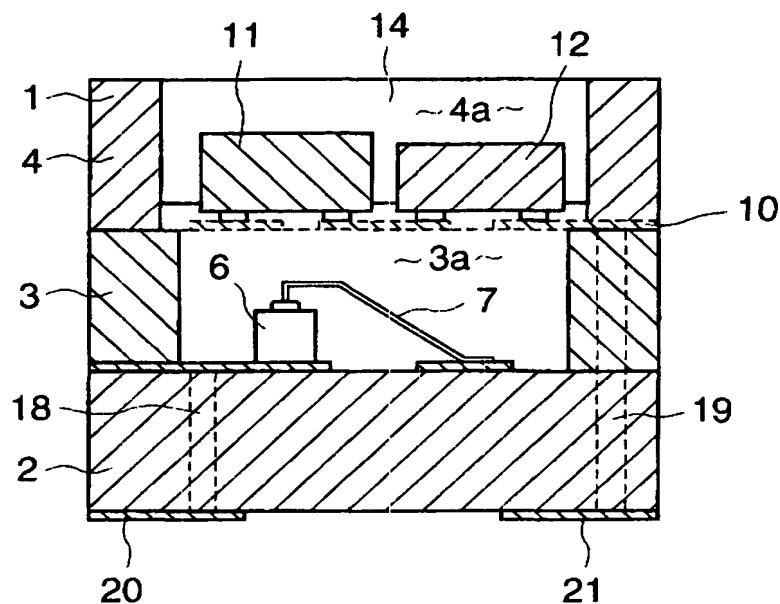


(b)

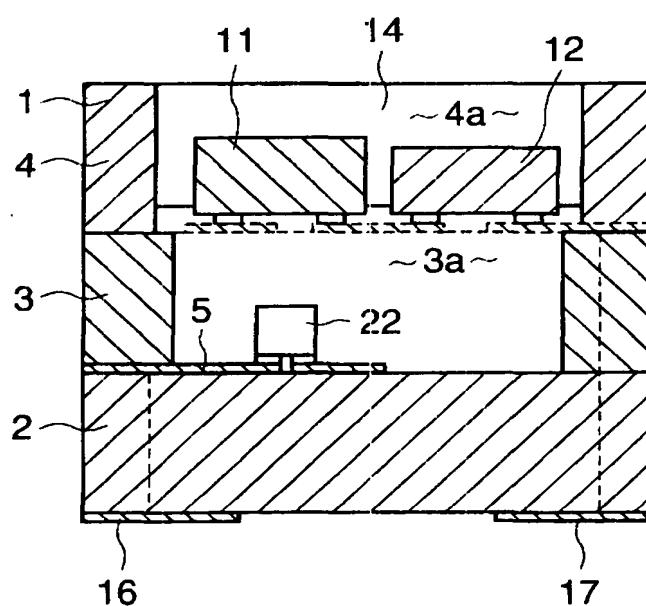


(c)

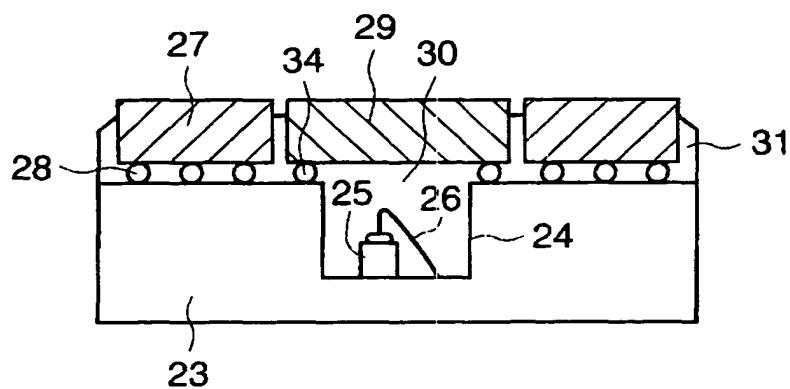
【図5】



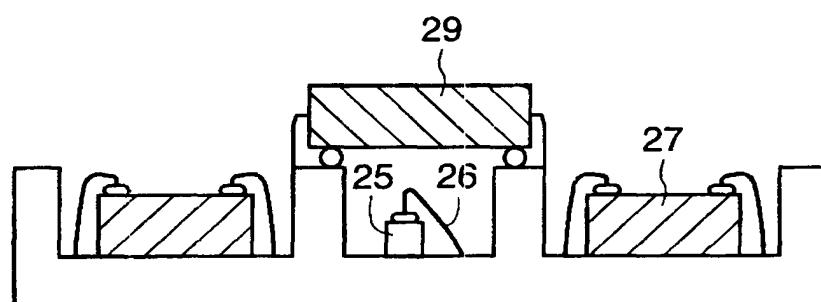
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 小型化するのに好適な光結合半導体装置の構造を提供しようとするものである。

【解決手段】 第1の層2と、この第1の層2に積層される棒状の第2及び第3の層3、4とによって構成された配線基板1と、第1の層2の上面部に設けられ、第2の層3の内部空間3a内に位置する発光素子6と、第2の層3の上面部にその内部空間3aを跨いで実装され、発光素子6に対向する受光素子11と、この受光素子11に隣接し、第2の層3の上面部にその内部空間3aを跨いで実装されるスイッチング素子12とを具備する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝